



PAJ 1994 to  
today



Your search statement: Words anywhere: "@PN='10289600'"  
Record 1 of 1



(19) JAPANESE PATENT OFFICE

(11) Publication Number: JP 10289600 A (43) Date of publication: 19981027

(51) int. Cl : G11C029-00 (IPC) (ICS) G11C011-401

(71) Applicant:  
HITACHI LTD  
HITACHI CHIYOU LSI SYST. KK

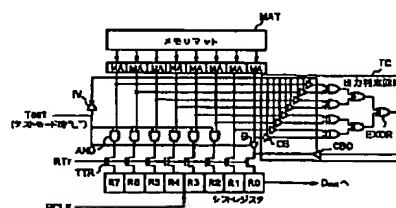
(72) Inventor:  
EGAWA HIDEKAZU  
KATAYAMA HIRONORI  
ASAUMI MASAKAZU  
TAKAHASHI AKIRA

(21) Application Information:  
19970414 JP 09-95834

# SEMICONDUCTOR MEMORY DEVICE

## (57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory device capable of an address compressing test by compressing parallel data even in a memory for performing serial/parallel conversion. SOLUTION: The device is a frame memory loaded with a parallel/serial conversion function inside, and is provided with an output discriminating circuit TC, which is inputted with the read-out data of the main amplifier MA and an inverted test signal (Test), between the main amplifier MA and a transfer transistor TTR, thereby performing discrimination of the output of each read-out data of all main amplifiers MA, storing the discrimination result in a shift register RO, outputting the read-out data of one main amplifier MA, storing this read-out data in a shift register R1, and enabling the discrimination of matching or unmatching of the test and '0' or '1' of the matching data by means of this shift register R0, R1 only.



(11)特許出願公開番号

特開平10-289600

(43)公開日 平成10年(1998)10月27日

(51) Int. CL.'

G 1 1 C 29/00  
11/401

識別記号

**6 7 5**

FI

G 1 1 C 29/00  
11/34

**6 7 5 S**

371A

審査請求 未請求 請求項の数6 OL (全 12 頁)

(21) 出願番号

特願平9-95834

(22) 出願日

平成9年(1997)4月14日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72)発明者 江川 英和

東京都小平市上水本町5丁目20番1号 日立超エル・エス・アイ・エンジニアリング株式会社内

(74) 代理人 弁理士 筒井 大和

**最終頁に続く**

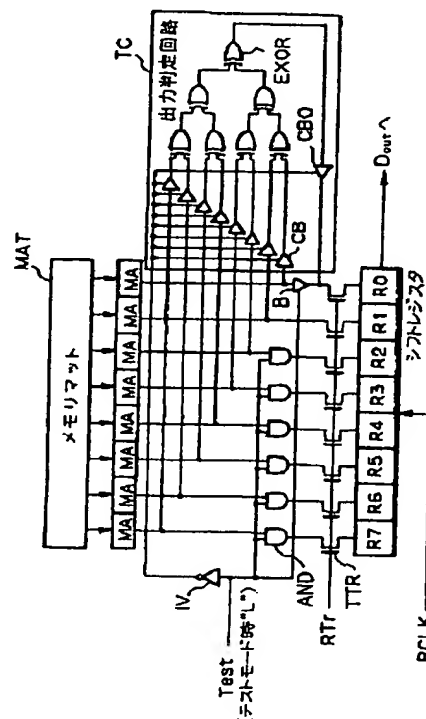
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 シリアル／パラレル変換を行うメモリにおいても、パラレルデータの圧縮によりアドレス圧縮テストが可能な半導体記憶装置を提供する。

【解決手段】 パラレル／シリアル変換機能を内部に搭載しているフレームメモリであって、メインアンプMAとトランスファトランジスタTTRとの間に、メインアンプMAの読み出しデータと反転されたテスト信号Testとを入力とする出力判定回路TCが設けられることにより、全てのメインアンプMAの各読み出しデータの出力判定を行い、この判定結果をシフトレジスタR0に格納し、かつ1つのメインアンプMAの読み出しデータの出力を行い、この読み出しデータをシフトレジスタR1に格納し、このシフトレジスタR0、R1だけでテストの一致または不一致、および一致したデータの“0”または“1”の判定を行うことができる。

3



## 【特許請求の範囲】

【請求項1】 メモリマットからパラレルで読み出したアナログ信号をメインアンプでデジタル信号化して、このデジタル信号をシリアル変換を行ってシフトレジスタから読み出すパラレル/シリアル変換機能を内部に搭載している半導体記憶装置であって、前記メインアンプと前記シフトレジスタとの間に、前記メインアンプの各読み出しデータの一致または不一致、および一致したデータの“0”または“1”の判定のうち、少なくとも一致または不一致を判定する出力判定回路が設けられていることを特徴とする半導体記憶装置。

【請求項2】 請求項1記載の半導体記憶装置であって、前記出力判定回路は、前記メインアンプの各読み出しデータの出力判定および読み出しデータの出力を行うゲート回路からなり、前記メインアンプから前記シフトレジスタへの各読み出しデータの転送途中で出力判定および読み出しデータの出力を行い、この判定結果および読み出しデータを前記シフトレジスタの先頭2ビットに格納し、このシフトレジスタの先頭2ビットだけでテストの一致または不一致、および一致したデータの“0”または“1”の判定を行うことを特徴とする半導体記憶装置。

【請求項3】 請求項1記載の半導体記憶装置であって、前記出力判定回路は、前記メインアンプの各読み出しデータの出力判定を行うゲート回路からなり、前記メインアンプから前記シフトレジスタへの各読み出しデータの転送途中で出力判定を行い、この判定結果を前記シフトレジスタの先頭1ビットに格納し、このシフトレジスタの先頭1ビットだけでテストの一致または不一致の判定を行うことを特徴とする半導体記憶装置。

【請求項4】 請求項1記載の半導体記憶装置であって、テスト用の期待値を格納するテストレジスタと、出力判定結果を保持する判定フラグ回路とを設け、かつ前記出力判定回路は、前記メインアンプの各読み出しデータと前記テストレジスタの期待値との出力判定を行うゲート回路からなり、テスト当初に予め前記テストレジスタに期待値を格納しておき、前記メインアンプの読み出しデータと前記テストレジスタの期待値とを比較してテスト判定を行い、テスト終了後に前記判定フラグ回路の内容を確認してテストの一致または不一致を判定することを特徴とする半導体記憶装置。

【請求項5】 請求項4記載の半導体記憶装置であって、前記判定フラグ回路はRSフリップフロップからなり、この判定フラグ回路の内容を複数の読み出し動作の最後に出力することを特徴とする半導体記憶装置。

【請求項6】 請求項1、2、3、4または5記載の半導体記憶装置であって、前記半導体記憶装置はフレームメモリであることを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置技術に関し、特にパラレル/シリアル変換機能を内部に搭載しているフレームメモリなどの半導体メモリにおいて、アドレス圧縮テストが可能な半導体記憶装置に適用して有効な技術に関する。

【0002】

【従来の技術】たとえば、本発明者が検討した技術として、一般の64Mbit-DRAM (Dynamic Random Access Memory) などでは、I/O (Input/Output) 数が少ないため、チップに内蔵されているメインアンプの1/4程度を活性化して読み出しを行っているものと考えられる。従って、製造時の選別テストなどで、TAT (Turn Around Time) 短縮のためにアドレス圧縮を行う場合には、通常、非活性化されているメインアンプを活性化させ、そのメインアンプの出力同士を比較してその結果を出力させている。

【0003】このアドレス圧縮テストは、メモリの縮約テストの一つの手法として用いられ、1個のチップに対するテスト時間を減らすために、1つのアドレスにより複数のアドレス分のテストを行う技術である。なお、この縮約テストには、他にI/O圧縮テストがあり、これは16MbitまでのDRAMなどにおいて同時にテスト可能なチップの個数を増やすための手法であり、1つのI/Oにより複数のI/O分のテストを行う技術である。

【0004】一方、メモリサイクルより高速な転送レートを要求する分野、たとえば画像処理分野などで使用されるメモリ (たとえばフレームメモリなど) では、メモリマットからパラレルで読み出したアナログ信号を、メインアンプなどでデジタル信号化して、そのデジタル信号をシリアル変換を行って、シフトレジスタなどから読み出し、高速な転送レートを可能としている。

【0005】なお、このような画像処理分野などで使用されるメモリ技術に関しては、たとえば昭和59年11月30日、株式会社オーム社発行、社団法人電子通信学会編の「LSIハンドブック」P485～P530などの文献に記載される技術などが挙げられる。

【0006】

【発明が解決しようとする課題】ところで、前記のような画像処理分野などで使用されるメモリにおいては、パラレル読み出し数が64～128bitと多いため、チップサイズの関係から余分にメインアンプを内蔵することができないので、非活性のメインアンプは存在せず、従って一般のDRAMで使用しているようなアドレス圧縮回路方式は適用できないという問題点がある。

【0007】そこで、本発明の目的は、シリアル/パラレル変換を行うメモリにおいても、パラレルデータの圧縮によりアドレス圧縮テストが行えるようにすることができ半導体記憶装置を提供することにある。

【0008】本発明の前記ならびにその他の目的と新規

な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】すなわち、本発明による半導体記憶装置は、内部でパラレル／シリアル変換を行うメモリに適用されるものであり、メインアンプとシフトレジスタとの間に、メインアンプの各読み出しデータの一致または不一致、および一致したデータの“0”または“1”の判定のうち、少なくとも一致または不一致を判定する出力判定回路が設けられて構成されるものである。

【0011】具体的に、出力判定回路は、メインアンプの各読み出しデータの出力判定および読み出しデータの出力を行うゲート回路から構成するようにしたものである。これにより、メインアンプからシフトレジスタへの各読み出しデータの転送途中で出力判定および読み出しデータの出力を行い、この判定結果および読み出しデータをシフトレジスタの先頭2ビットに格納し、このシフトレジスタの先頭2ビットだけでテストの一致または不一致、および一致したデータの“0”または“1”の判定を行うことができる。

【0012】また、出力判定回路を、メインアンプの各読み出しデータの出力判定を行うゲート回路から構成する場合には、メインアンプからシフトレジスタへの各読み出しデータの転送途中で出力判定を行い、この判定結果をシフトレジスタの先頭1ビットに格納し、このシフトレジスタの先頭1ビットだけでテストの一致または不一致の判定を行うことができる。

【0013】さらに、テスト用の期待値を格納するテストレジスタと、出力判定結果を保持する判定フラグ回路とを設け、かつ出力判定回路を、メインアンプの各読み出しデータとテストレジスタの期待値との出力判定を行うゲート回路から構成する場合には、テスト当初に予めテストレジスタに期待値を格納しておき、メインアンプの読み出しデータとテストレジスタの期待値とを比較することにより、テスト判定を行うことができる。このテスト終了後、判定フラグ回路の内容を確認することにより、テストの一致または不一致を判定することができる。

【0014】特に、判定フラグ回路をRSフリップフロップから構成した場合には、判定フラグ回路の内容を、読み出し動作毎に出力せずに、複数の読み出し動作の最後に出力することができるので、読み出し動作の終了後にテストの評価を行うことも可能である。

【0015】よって、フレームメモリなどの半導体記憶装置によれば、シリアル／パラレル変換を行うメモリにおいても、アドレス圧縮テストを実施することができるので、テスト時間の短縮が可能となる。これにより、製

品の原価低減を図ることができる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一の部材には同一の符号を付し、その繰り返しの説明は省略する。

【0017】（実施の形態1）図1は本発明の実施の形態1である半導体記憶装置の概略を示す構成図、図2は本実施の形態1の半導体記憶装置を示す構成図、図3は本実施の形態1におけるテスト回路部分を示す構成図、図4はテストモードを示すタイミングチャート、図5は通常モードを示すタイミングチャートである。

【0018】まず、図1により本実施の形態1の半導体記憶装置の概略構成を説明する。

【0019】本実施の形態1の半導体記憶装置は、たとえばパラレル／シリアル変換機能を内部に搭載しているフレームメモリとされ、DRAMによるメモリ部1の他に、このメモリ部1に対する入出力のためのデータレジスタ部2、3を内蔵し、メモリ部1と入力側のデータレジスタ部2、出力側のデータレジスタ部3とが別々のポートを持っていて、それぞれ非同期に独立にアクセスできるようにになっている。

【0020】メモリ部1は、たとえば図2に示すように、m個のメモリセルが接続されたn行のワード線WL、n個のメモリセルが接続されたm列のデータ線DL、バーDからなるメモリマトリクスMATと、n行m列の中からそれぞれ1本を選択する行デコーダRDECおよび列デコーダCDEC、そのデコーダの出力を受けてワード線WLあるいは列線YLに選択パルス電圧を与える行ドライバRDRおよび列ドライバCDR、データ線DL、バーDのセル読み出し信号を増幅するセンスアンプSA、メインアンプMAなどからなる周辺回路と、入出力信号に対応する複数のバッファとから構成されている。

【0021】このメモリ部1において、入力信号には、N個（Nビット）のアドレス信号Ai、2個のクロック信号バーRAS、バーCAS、書き込みデータDin、書き込み制御信号バーWEがあり、また出力信号には、読み出しデータDoutがある。その他、2種の電源電圧Vdd、Vssがある。これらの入出力信号に対応して、複数の行および列アドレスバッファRAB、CAB、バーRAS、バーCASのクロック入力バッファRCB、CCB、書き込み制御バッファWB、データ入力バッファDIB、データ出力バッファDOBなどが設けられている。

【0022】データレジスタ部2、3は、たとえば図2に示すように（出力側）、メモリ部1と非同期にアクセス可能なトランスファートランジスタTTR、シフトレジスタRなどからなり、メモリ部1の入力側および出力側にそれぞれ設けられている。これらのトランスファ

トランジスタTTR、シフトレジスタRは、メインアンブMAに対応して所定の数量およびビット数となっている。なお、図2においては出力側のみを示しているが、入力側においても同様の構成となっている。

【0023】このメモリ部1と出力側のデータレジスタ部3との間において、メモリマットMATからパラレルで読み出したアナログ信号をメインアンブMAでデジタル信号化して、このデジタル信号をゲート制御されるトランスファトランジスタTTRを介してシフトレジスタRに格納し、シリアル変換を行ってシフトレジスタRから読み出し、このシフトレジスタRからクロック信号に同期させてデータ出力バッファDOBに出力し、メモリマットMATのデータを外部に出力することができる構成となっている。

【0024】特に、本実施の形態1においては、たとえば図3に示すように、メインアンブMAとトランスファトランジスタTTRとの間に、テスト信号Testを反転するインバータIVと、第0ビットのメインアンブMAの読み出しデータをバッファリングするバッファBと、第2〜第7ビットのメインアンブMAの読み出しデータとテスト信号Testとの論理積をとるゲートANDと、メインアンブMAの読み出しデータと反転されたテスト信号Testとを入力とする出力判定回路TCとが設けられている。なお、ゲートANDは、必ずしも必要となるものではない。

【0025】出力判定回路TCは、反転されたテスト信号Testにより制御してメインアンブMAの読み出しデータをバッファリングする8個のクロックバッファCBと、これらの出力データを階層的に比較する7個のエクスクルーシブオアEXORと、これらの比較結果を反転されたテスト信号Testにより制御し、バッファリングして出力する1個のクロックバッファCBOとから構成されている。

【0026】次に、本実施の形態1の作用について、始めにフレームメモリ、主にDRAMによるメモリ部1の代表的な動作モードである読み出し動作、書き込み動作、リフレッシュ動作、高速列アクセス動作を取りあげ、それぞれの概要を簡単に説明する。

#### 【0027】(1).読み出し動作

この読み出し動作において、たとえばアドレスマルチプレクスではアドレス信号Aiは時分割で入力するため、バーRASとバーCASの2つの同期信号が必要である。バーRASが高レベルの期間は、行系回路がプリチャージされる期間で、この間はチップ内部ではいかなるメモリ動作も行われない。一方、バーCASが高レベルの期間中は、データ出力バッファDOBやデータ入力バッファDIBなどの列系回路がプリチャージされる期間で、この間はチップ外部との読み出し動作、書き込み動作は行われない。

【0028】バーRASが低レベルになると行系回路が

活性化され、メモリ動作が始まる。続いて、バーCASが低レベルになると読み出し動作あるいは書き込み動作が始まり、チップ外部とのデータの授受が行われる。このようにDRAMでは、プリチャージ期間と活性期間が交互に繰り返される。通常、バーRASのサイクル時間がチップのサイクル時間となる。

【0029】読み出し動作の指定は、書き込み制御信号バーWEをバーCASの立ち下がり時点よりも前に高レベルにして、バーCASが立ち上がるまでそれを保持することにより行う。データがいったん出力されると、バーCASが立ち上がるまでデータを保持する。このアクセス時間には3種類あって、バーRASおよびバーCASの立ち下がり時点からデータ出力端子にデータが出力されるまでの時間を、それぞれバーRASアクセス時間、バーCASアクセス時間と呼び、列アドレスが確定された時点からデータが出力されるまでの時間をアドレスアクセス時間と呼ぶ。

#### 【0030】(2).書き込み動作

この書き込み動作において、アドレス信号AiとバーRAS、バーCASとの関係は、読み出し動作と同じなので省略する。またサイクル時間などのバーRAS、バーCASのタイミング規格も読み出し動作と全く同じである。ただし、バーWEをバーCASの立ち下がり時点よりも前に低レベルにすることによって書き込み動作を指定する。このサイクル中はデータ出力端子は高インピーダンス状態に保持される。なお、バーRASを低レベルのままの状態、いったんチップ外部に読み出したデータを外部で変更して再び同じメモリセルに書き込むという、Read Modify Write動作の仕様もある。

#### 【0031】(3).リフレッシュ動作

このリフレッシュ動作においては、読み出し・書き込みといったランダムアクセス動作中に割り込んで行うリフレッシュ動作と、電池バックアップ期間中のようにチップ内の記憶情報を保持するためだけに行うリフレッシュ動作がある。前者では、バーRAS only リフレッシュと、CBR (バーCAS before バーRAS) リフレッシュが、また後者ではセルフリフレッシュが標準になっている。その他、データを出力しながらリフレッシュを行うヒドン (hidden) リフレッシュもある。

【0032】たとえば、バーRAS only リフレッシュにおいては、読み出し・書き込み動作と同じタイミング規格のバーRASの1サイクル中に、1行 (ワード線WL) の全メモリセルが同時にリフレッシュされる。ただし、バーCASを高レベルにしてチップ外部からリフレッシュアドレスを与えなければならない。最大リフレッシュ時間の期間内にアドレス信号Aiの組み合わせでワード線WLを順次選択してリフレッシュしなければならない。

【0033】このリフレッシュのしかたには集中リフレッシュと分散リフレッシュがある。集中リフレッシュは、最小サイクルでリフレッシュを繰り返す、この期間はチップ外部からメモリアクセスはできないが、残りの全期間は、リフレッシュを割り込ませずに外部からメモリアクセスを受け付ける方法である。分散リフレッシュは、リフレッシュ動作の1サイクルを最大リフレッシュ時間の期間中に等しく分散したものである。実際には分散リフレッシュが多用されるので、リフレッシュ動作の1サイクルが通常の読み出し・書き込み動作のサイクルに割り込んだタイミングとなる。

【0034】また、CBRリフレッシュにおいては、バーCASをバーRASに先行させて低レベルにすることによって、リフレッシュ動作であることを内部で判定する。この判定パルスによって内部のリフレッシュアドレスカウンタからアドレスが発生し、ワード線WLが選ばれてリフレッシュされる。従って、外部からアドレス信号Aiを与える必要はない。

【0035】さらに、セルフリフレッシュにおいては、通常のメモリサイクルの終了後、CBRタイミングにしてバーRASのパルス幅を、たとえば100μs以上に設定する。内部ではこの時間以上になるとリフレッシュアドレスカウンタとリフレッシュタイマーを用いたリフレッシュ動作が始まり、バーCAS、バーRASがともに低レベルである限りセルフリフレッシュが続く。リフレッシュされる頻度が少ないほどチップの消費電力は低くなるが、この頻度はチップ内の温度を検出するタイマーによって自動的に調整される。なお、セルフリフレッシュから通常サイクルに移る場合には、バーRASのプリチャージ期間が必要である。

#### 【0036】(4). 高速列アクセス動作

本実施の形態1のようなフレームメモリや、キャッシュメモリを採用したシステムなどでは、行アドレスは固定したままで、列アドレスの異なる、それも連続した列アドレスの多数ビットをアクセスする場合が多い。この列アクセス動作は、メモリマツマトの超並列でアクセス可能な構造上の特徴を利用したものである。列アドレスの多数ビットのデータを高速に処理できるので、前記した用途に近年注目されている。

【0037】この動作では、まず行アドレスによってワード線WLを選択し、ワード線WL上の全てのメモリセルを、センスアンプSAで増幅した状態でいったんそれぞれのデータ線対D、バーDに読み出して置く。次に、列アドレスによってあるデータ線対D、バーDの読み出し情報をチップの外部に取り出し、次に他の列アドレスによって他のデータ線対D、バーDの情報を取り出すというように列アドレスを順次変えていけば、ワード線WL上の全てのセル情報を連続して取り出すことができ、この動作は高速である。

【0038】この場合のアクセス時間は、列アドレスが

入力してデータが出力するまでの時間、すなわち前記したアドレスアクセス時間そのものであり、長時間を要する行系回路の動作時間、たとえばワード線WLの駆動時間やセンス時間を考慮する必要がないためである。サイクル時間もこの分だけ速くなる。

【0039】書き込み動作についても、データ線対D、バーDに読み出されているセル信号増幅データを、外部から与えた書き込みデータで順次置き換えていけるので高速である。所望のデータ線対D、バーDの全てに書き込みデータ電圧を印加した後に、ワード線WLをオフにすることで列アクセスモードの書き込みは完了する。このように、行アドレスは同じままで、列アドレスのみを切り換える列アクセスモードは種々提案されているが、ここでは代表的な高速ページモード、ニブルモード、スタティックカラムモードの動作タイミングを説明する。

【0040】たとえば、高速ページモードの読み出しタイミングにおいては、列アドレスの選択はランダムであり、サイクル時間はたとえば40nsである。チップ内部ではATD(Address Transition Detector)回路によって主な列系回路はサイクル毎にプリチャージされ、列アドレスで選ばれたデータ線対D、バーDの読み出しデータが、データ出力バッファDOBの近くでバーCASで制御されて出力される。バーCASとのアドレスセットアップ時間、アドレスホールド時間などの規格のために、チップとしての高速化には限界がある。

【0041】また、ニブルモードの読み出しタイミングにおいては、たとえば4ビットのシフトレジスタ単位でデータが入出力される。ただし、2ビットのアドレス信号を用いて4ビットの中の先頭ビットだけはランダムに指定できる。すなわち最初の1ビット目は通常の読み出しあるいは書き込み動作であるが、それに続く3ビットはバーCASのクロックパルスだけで連続出力する。先頭ビット以外は列アドレスの指定は不要である。

【0042】このモードでは、データ出力端子の近くに4個のデータラッチ回路と、その出力を入力とする4ビットのデコード機能付きリングカウンタ形シフトレジスタが設けられている。4個のサブアレーから並列に入力して4個のデータラッチ回路にいったん蓄えられた読み出しデータは、シフトレジスタで直列に変換されてバーCASに同期して連続に外部出力される。このシフトレジスタはもともと高速なので、ニブルモードサイクルはバーCASサイクルで決まり、たとえば35nsと比較的速い。

【0043】さらに、スタティックカラムモードの読み出しタイミングにおいては、同じ行アドレスのもとで列アドレスを換えて、データ線対D、バーDに読み出されている増幅データの読み出し・書き込みを行うというものである。連続サイクル中は、バーCASは低レベルのまま、アドレス信号はdon't careの部分が

なく、これはバーCASで列アドレスをラッチできないためである。列アドレスの指定はランダムであり、サイクル時間はアドレスの切り換えだけで決まる。ATD回路と列アドレスバッファCABの動作だけで列系回路の選択動作が行われる。

【0044】以上のようにして、特にDRAMによるメモリ部1に対する読み出し動作、書き込み動作、リフレッシュ動作、高速列アクセス動作のためのアクセスが行われ、一方、メモリ部1の入力側に設けられたデータレジスタ部2、出力側に設けられたデータレジスタ部3に対しては、メモリ部1と非同期に独立にアクセスできるようになっている。

【0045】たとえば、入力側のデータレジスタ部2に外部からデータを入力している間に、メモリ部1から出力側のデータレジスタ部3にデータを転送したり、またはデータレジスタ部3から外部にデータを出力することができ、逆に出力側のデータレジスタ部3から外部にデータを出力している間に、入力側のデータレジスタ部2に外部からデータを入力したり、またはデータレジスタ部2からメモリ部1にデータを転送することができる。

【0046】次に、本実施の形態1におけるフレームメモリの特徴であるアドレス圧縮によるテストモードについて、図4のタイミングチャートに基づいて説明する。

【0047】このアドレス圧縮によるテストモード時には、テスト当初に予めメモリマットMATに、たとえば全て“0”または全て“1”のデータを書き込んでおく。

【0048】まず、テスト信号Testを“L”に固定する。このテスト信号TestはインバータIVにより“H”に反転され、この反転信号はメインアンプMAの読み出しデータとともに出力判定回路TCに入力される。この出力判定回路TCにおいて、反転された“H”のテスト信号Testによって制御し、メインアンプMAの読み出しデータをクロックバッファCBによりバッファリングする。

【0049】さらに、バッファリングされたメインアンプMAの読み出しデータを、エクスクルーシブオアEXORにより階層的に比較する。ここでは、第0ビットと第1ビット、第2ビットと第3ビット、第4ビットと第5ビット、第6ビットと第7ビットを比較し、その比較結果の第0および第1ビットと第2および第3ビット、第4および第5ビットと第6および第7ビットを比較し、さらにその比較結果の第0～第3ビットと第4～第7ビットを比較して、3段階で読み出しデータの比較を行う。

【0050】そして、階層的に比較された結果を、反転された“H”のテスト信号Testによって制御してクロックバッファCBOによりバッファリングし、リードトランスファ信号RTrによりトランスファトランジスタTTRをゲート制御して、メインアンプMAの第0

ビットに対応するシフトレジスタR0に格納する。この第0ビットに対応するメインアンプMAの読み出しデータは、テスト信号Testによって制御されるクロックバッファBによりバッファリングされているので、シフトレジスタR0には出力判定回路TCからの比較結果が格納される。

【0051】たとえば、メモリマットMATに全て“0”のデータが書き込まれた場合には、この階層的な比較結果として“1”のデータがシフトレジスタR0に格納され、同様に全て“1”のデータが書き込まれた場合にも“1”のデータが格納される。一方、メモリマットMATに“0”と“1”のデータが混在して書き込まれた場合には、シフトレジスタR0に“0”のデータが格納される。

【0052】この際に、第1ビットについては、メモリマットMATからパラレルで読み出したアナログ信号をメインアンプMAでデジタル信号化して、このデジタル信号をリードトランスファ信号RTrによりトランスファトランジスタTTRをゲート制御して、シフトレジスタR1に格納する。

【0053】たとえば、メモリマットMATに全て“0”のデータが書き込まれた場合には、第1ビットに対応するメモリマットMATから“0”のデータが読み出されて“0”がシフトレジスタR1に格納され、また全て“1”のデータが書き込まれた場合には“1”がシフトレジスタR1に格納される。

【0054】また、第2～第7ビットに関しては、メモリマットMATからパラレルで読み出されたアナログ信号がメインアンプMAでデジタル信号化されるが、このデジタル信号はゲートANDによりテスト信号Testと論理積され、よってテストモード中はシフトレジスタR2～R7には“0”が格納される。

【0055】以上のようにして、シフトレジスタR0には、出力判定回路TCから各メインアンプMAの読み出しデータの値が一致している場合は“1”が出力され、不一致の場合は“0”が出力されて格納される。また、シフトレジスタR1には、“0”または“1”のどちらかで一致したかが出力されて格納される。

【0056】よって、シフトレジスタR0～R7のうち、シフトレジスタR0、R1の先頭2ビットをリードクロック信号CLKに同期させてデータ出力バッファDOBに転送し、データ出力バッファDOBから読み出しデータDoutとして出力して外部に読み出せば、一致(Pass)、不一致(Fail)が判定でき、さらに一致している場合には“0”または“1”のどちらかで一致しているかが判定できる。

【0057】この判定結果の出力の際には、リードクロック信号CLKの第1クロックに同期させてシフトレジスタR0のデータ、第2クロックに同期させてシフトレジスタR1のデータをそれぞれ読み出しデータDout



tとして出力させて、3クロックによりシフトレジスタR0、R1のデータを読み出しデータDoutとして出力させることができる。

【0058】なお、通常モード時は、図5のタイミングチャートに示すように、テスト信号Testを“H”に固定し、メモリマップMATからパラレルで読み出したアナログ信号をメインアンプMAでデジタル信号化し、このデジタル信号をリードトランスファ信号RTrによりトランスファトランジスタTTRをゲート制御して、シフトレジスタR0～R7に格納する。

【0059】そして、格納されたシフトレジスタR0～R7のデータを、リードクロック信号RCLKに同期させてデータ出力バッファDOBに転送し、読み出しデータDoutとして出力して外部に読み出すことができる。この際には、リードクロック信号RCLKの第1～第8クロックにそれぞれ同期させてシフトレジスタR0～R7のデータを出力させて、9クロックによりシフトレジスタR0～R7のデータを出力させることができる。

【0060】従って、本実施の形態1によれば、メインアンプMAとトランスファトランジスタTTRとの間に、クロックバッファCB、エクスクルーシブオアEXOR、クロックバッファCBOなどからなる出力判定回路TCを設けることにより、全てのメインアンプMAの各読み出しデータの出力判定を行い、この判定結果をシフトレジスタR0に格納し、かつ1つのメインアンプMAの読み出しデータの出力を行い、この読み出しデータをシフトレジスタR1に格納し、このシフトレジスタR0、R1だけでテストの一致または不一致、および一致したデータの“0”または“1”の判定を行うことができる。

【0061】よって、シリアル/パラレル変換を行うフレームメモリにおいても、アドレス圧縮テストを実施することができる。例えば、本実施の形態1の場合には、通常モードでは全てのデータを読み出すために9クロックのリードクロック信号RCLKが必要であるのに対して、テストモードでは3クロックに低減することができ、6クロック分のテスト時間の短縮が可能となる。

【0062】（実施の形態2）図6は本発明の実施の形態2である半導体記憶装置におけるテスト回路部分を示す構成図、図7はテストモードを示すタイミングチャートである。

【0063】本実施の形態2の半導体記憶装置は、前記実施の形態1と同様にパラレル/シリアル変換機能を内部に搭載しているフレームメモリとされ、前記実施の形態1との相違点は、メインアンプMAの読み出しデータが一致しているかどうかだけを判定するようにした点である。

【0064】すなわち、本実施の形態2においては、図

6に示すように、メインアンプMAとトランスファトランジスタTTRとの間に、クロックバッファCB、エクスクルーシブオアEXOR、クロックバッファCBOなどからなる出力判定回路TCが設けられ、さらにメインアンプMAの読み出しデータとテスト信号Testとの論理積をとるゲートANDを第1～第7ビットに適用するようにして、第1ビットのメインアンプMAの出力に1個のゲートANDが追加された構成となっている。

10 【0065】従って、本実施の形態2におけるアドレス圧縮によるテストモードについても、図7のタイミングチャートに示すように、シフトレジスタR0には、出力判定回路TCから各メインアンプMAの読み出しデータの値が一致している場合は“1”が出力され、不一致の場合は“0”が出力されて格納される。

【0066】よって、シフトレジスタR0～R7のうち、シフトレジスタR0の先頭1ビットをリードクロック信号RCLKに同期させてデータ出力バッファDOBに転送し、読み出しデータDoutとして出力して外部に読み出せば、一致(Pass)、不一致(Fail)が判定できる。この判定結果の出力の際には、リードクロック信号RCLKの2クロックに同期させてシフトレジスタR0のデータを出力させることができる。

【0067】従って、本実施の形態2によれば、前記実施の形態1と同様に、シリアル/パラレル変換を行うフレームメモリにおいてもアドレス圧縮テストが実施でき、さらに出力判定回路TCによって全てのメインアンプMAの各読み出しデータの出力判定を行い、この判定結果をシフトレジスタR0に格納し、このシフトレジスタR0だけでテストの一致または不一致の判定を行うことができる。

【0068】特に、本実施の形態2においては、テストの一致または不一致の判定だけなので前記実施の形態1に比べて不良検出率は落ちるものの、2クロックのリードクロック信号RCLKに同期させてシフトレジスタR0を制御し、先頭1ビットだけを読み出せばよいので、さらにテスト時間を短縮することが可能となる。

【0069】（実施の形態3）図8は本発明の実施の形態3である半導体記憶装置におけるテスト回路部分を示す構成図、図9はテストモードを示すタイミングチャートである。

【0070】本実施の形態3の半導体記憶装置は、前記実施の形態1と同様にパラレル/シリアル変換機能を内部に搭載しているフレームメモリとされ、前記実施の形態1との相違点は、任意に設定可能な期待値とメインアンプMAの読み出しデータとが一致しているかどうかを判定するようにした点である。

【0071】すなわち、本実施の形態3においては、図8に示すように、期待値DINをテストクロック信号TCLKに同期させて格納するシフトレジスタST0～S



T7と、テストデータトランスファ信号TETrによりゲート制御されるテストデータトランスファトランジスタTTTrを介して転送されてきた期待値DINを格納するテストレジスタT0～T7と、出力判定回路TCの判定結果を保持する判定フラグ回路FCとが追加され、さらに出力判定回路TCの回路構成が異なっている。

【0072】この出力判定回路TCには、メインアンプMAの読み出しデータを、反転されたテスト信号TestによってバッファリングするクロックバッファCBのそれぞれの出力データと期待値DINとを比較する8個のエクスクルーシブオアEXORが追加され、階層的に4段階で期待値DINと読み出しデータとの比較が行われる。

【0073】判定フラグ回路FCは、ゲートNANDによるRSフリップフロップFFと、インバータIVとからなり、RSフリップフロップFFのセット入力には出力判定回路TCの判定結果が入力され、リセット入力にはリセット信号ResetBが入力され、この出力データはインバータIVを介して反転されて出力される。この判定フラグ回路FCからの出力データはシフトレジスタR0に格納される。

【0074】次に、本実施の形態3におけるフレームメモリの特徴であるアドレス圧縮によるテストモードについて、図9のタイミングチャートに基づいて説明する。

【0075】まず、予め判定フラグ回路FCのリセット信号ResetBを“L”にして、判定フラグ回路FCをリセットにする。そして、テストクロック信号TCLKを用いて、シフトレジスタST0～ST7に期待値DINを格納した後、この期待値DINをテストデータトランスファ信号TETrの制御によりテストレジスタT0～T7に転送する。

【0076】その後、メモリマットMATからの読み出し動作を行い、テストレジスタT0～T7に格納されている期待値DINとメインアンプMAの読み出しデータとを出力判定回路TCにより比較する。この比較した結果を判定フラグ回路FCに格納した後、リードトランスファ信号RTrによって、判定フラグ回路FCの結果をシフトレジスタR0に転送する。

【0077】たとえば、このシフトレジスタR0には、各メインアンプMAの読み出しデータと、テストレジスタT0～T7に格納されている期待値DINの各メインアンプMAに対応するビットの値とが一致している場合は“1”が格納され、不一致の場合は“0”が格納される。

【0078】すなわち、テストレジスタT0～T7に格納されている期待値DINが“10101010”の場合には、第0～第7ビットに対応するメインアンプMAの読み出しデータが“10101010”の場合にのみ、一致を示す“1”が格納されることになる。

【0079】よって、シフトレジスタR0～R7のう

ち、シフトレジスタR0の先頭1ビットをリードクロック信号RCLKに同期させてデータ出力バッファDOBに転送し、読み出しデータDoutとして出力して外部に読み出せば、一致(Pass)、不一致(Fail)が判定できる。この判定結果の出力の際には、リードクロック信号RCLKの2クロックに同期させてシフトレジスタR0のデータを出力させることができる。

【0080】従って、本実施の形態3によれば、前記実施の形態1と同様に、シリアル/パラレル変換を行うフレームメモリにおいてもアドレス圧縮テストが実施でき、さらに出力判定回路TCによって期待値DINとメインアンプMAの各読み出しデータとの出力判定を行い、この判定結果をシフトレジスタR0に格納し、このシフトレジスタR0だけでテストの一致または不一致の判定ができ、かつ先頭1ビットだけを読み出せばよいので、任意に設定可能な期待値を用いたテスト時間の短縮が可能となる。

【0081】特に、本実施の形態3においては、出力判定回路TCの出力にRSフリップフロップFFなどからなる判定フラグ回路FCを設けているので、読み出し動作毎に出力を行わなくても、複数の読み出し動作の最後に読み出しデータDoutとして出力して評価を行うことも可能である。

【0082】以上、本発明者によってなされた発明をその実施の形態1～3に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0083】たとえば、前記実施の形態においては、メモリ部の入力側および出力側にデータレジスタ部を有するフレームメモリに適用した場合について説明したが、メモリ部の出力側にデータレジスタ部を有するVRAM (Video RAM) など、パラレル/シリアル変換機能を内部に搭載している他の半導体メモリについても広くて適用可能である。

【0084】また、前記実施の形態においては、半導体記憶装置のテストモードにおいて、特にデータの読み出しのための出力回路について説明したが、たとえばデータの書き込みのための入力回路においても、たとえば図10のような入力回路の機能構成によりアドレス圧縮が可能である。

【0085】すなわち、図10に示すように、メモリマットMATに対してデータを書き込むためのライトドライバWD、入力判定回路、トランスファトランジスタTTr、シフトレジスタS0～S7などからなり、書き込み時に、書き込みデータDinをライトクロック信号WCLKに同期させてシフトレジスタS0～S7に格納し、シフトレジスタS0のデータをライトトランスファ信号WTrによって入力判定回路に転送し、シフトレジスタS0のデータだけで全てのメモリマットMATに対

してデータを書き込むことができる。これにより、テストモードの書き込みにおいてもアドレス圧縮が可能となる。

#### 【0086】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0087】(1).メインアンプとシフトレジスタとの間に、メインアンプの各読み出しデータの出力判定および読み出しデータの出力を行うゲート回路からなる出力判定回路を設けることで、メインアンプの各読み出しデータの判定結果および読み出しデータをシフトレジスタの先頭2ビットに格納し、このシフトレジスタの先頭2ビットだけでテストの一致または不一致、および一致したデータの“0”または“1”の判定を行うことができるので、少ないクロックによるアドレス圧縮テストの実施によりテスト時間の短縮が可能となる。

【0088】(2).出力判定回路を、メインアンプの各読み出しデータの出力判定を行うゲート回路から構成する場合には、シフトレジスタの先頭1ビットだけでテストの一致または不一致の判定を行うことができるので、さらにテスト時間を短縮することが可能となる。

【0089】(3).テスト用の期待値を格納するテストレジスタと、出力判定結果を保持する判定フラグ回路とを設け、かつ出力判定回路を、メインアンプの各読み出しデータとテストレジスタの期待値との出力判定を行うゲート回路から構成する場合には、テスト終了後に判定フラグ回路の内容を確認することでテストの一致または不一致を判定することができるので、任意に設定可能な期待値を用いたテスト時間の短縮が可能となる。

【0090】(4).判定フラグ回路をRSフリップフロップから構成した場合には、判定フラグ回路の内容を、読み出し動作毎に出力せずに、複数の読み出し動作の最後に出力してテストの評価を行うことができるので、評価効率の向上が可能となる。

【0091】(5).前記(1)～(4)により、シリアル/パラレル変換機能を有するフレームメモリなどの半導体記憶装置においても、アドレス圧縮テストを実施することができるので、TAT短縮によって製品の原価低減を図ることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1である半導体記憶装置の概略を示す構成図である。

【図2】本発明の実施の形態1の半導体記憶装置を示す構成図である。

【図3】本発明の実施の形態1におけるテスト回路部分

を示す構成図である。

【図4】本発明の実施の形態1におけるテストモードを示すタイミングチャートである。

【図5】本発明の実施の形態1における通常モードを示すタイミングチャートである。

【図6】本発明の実施の形態2である半導体記憶装置におけるテスト回路部分を示す構成図である。

【図7】本発明の実施の形態2におけるテストモードを示すタイミングチャートである。

【図8】本発明の実施の形態3である半導体記憶装置におけるテスト回路部分を示す構成図である。

【図9】本発明の実施の形態3におけるテストモードを示すタイミングチャートである。

【図10】本発明の半導体記憶装置におけるテスト回路の入力回路部分を示す構成図である。

#### 【符号の説明】

- 1 メモリ部
- 2 データレジスタ部
- 3 データレジスタ部
- 20 MAT メモリマツ
- RDEC 行デコーダ
- CDEC 列デコーダ
- RDR 行ドライバ
- CDR 列ドライバ
- SA センスアンプ
- MA メインアンプ
- RAB 行アドレスバッファ
- CAB 列アドレスバッファ
- RCB クロック入力バッファ
- 30 CCB クロック入力バッファ
- WB 書き込み制御バッファ
- DIB データ入力バッファ
- DOB データ出力バッファ
- TTR トランスファートランジスタ
- R シフトレジスタ
- IV インバータ
- B バッファ
- AND ゲート
- TC 出力判定回路
- 40 CB クロックトバッファ
- EXOR エクスクルーシブオア
- CBO クロックトバッファ
- ST シフトレジスタ
- TTTR テストデータトランスファートランジスタ
- T テストレジスタ
- FC 判定フラグ回路

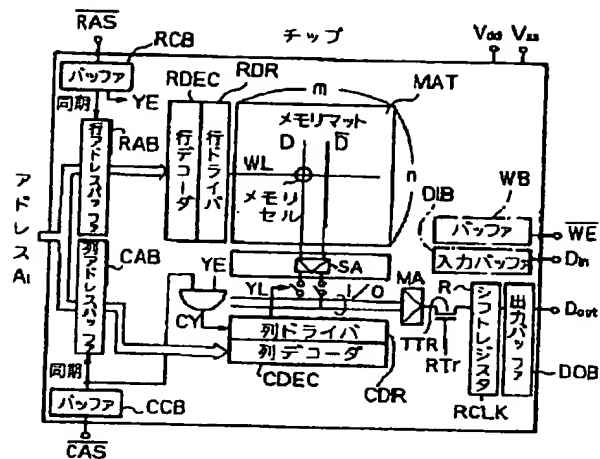
【図1】

図 1



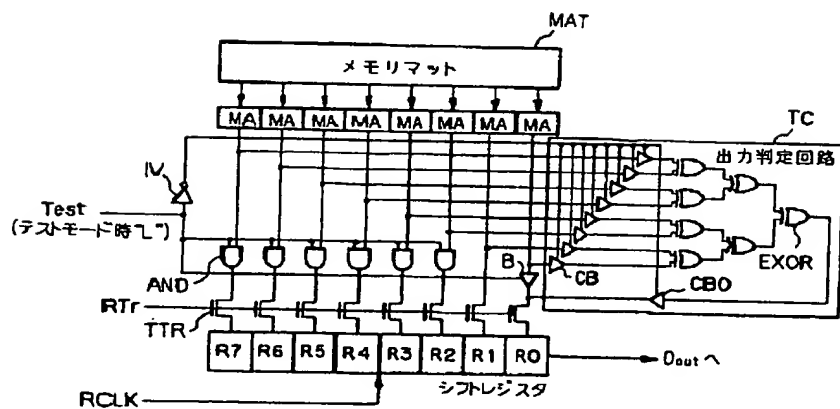
【図2】

図 2



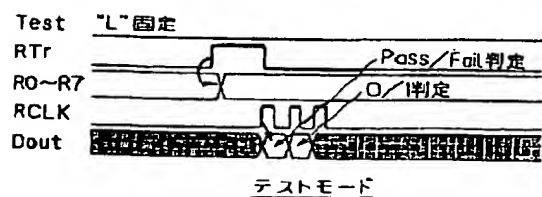
【図3】

図 3



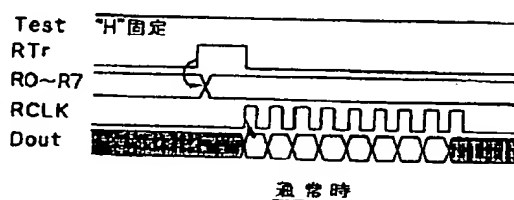
【図4】

図 4



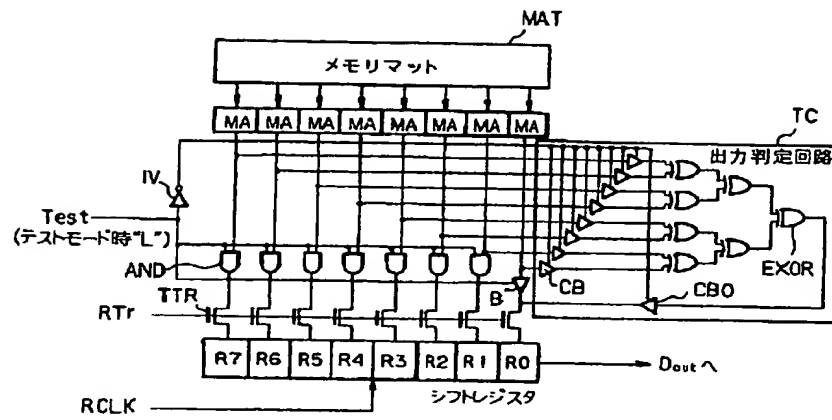
【図5】

図 5



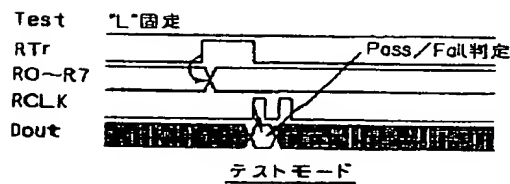
【図6】

図 6



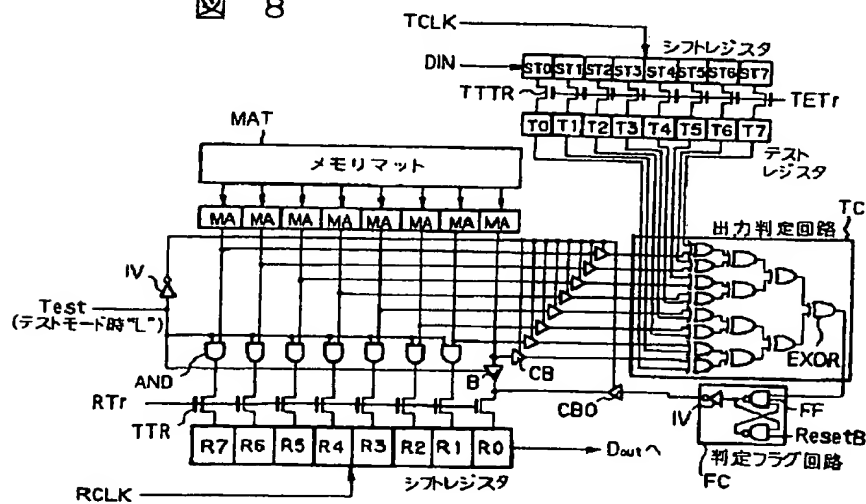
【図7】

図 7

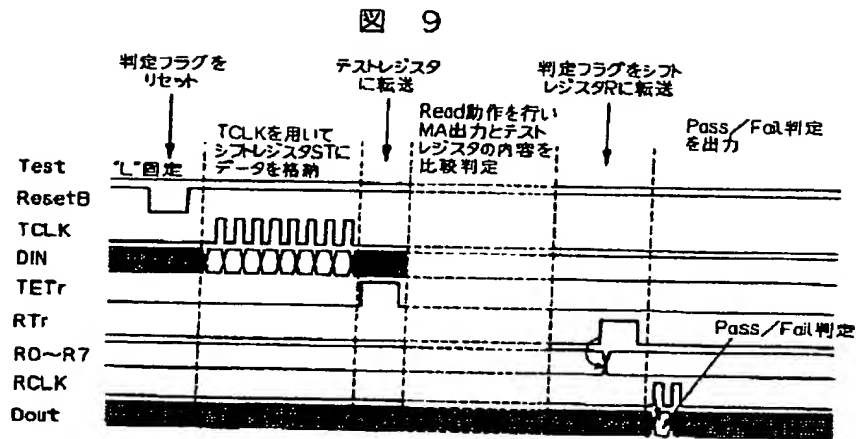


【図8】

図 8

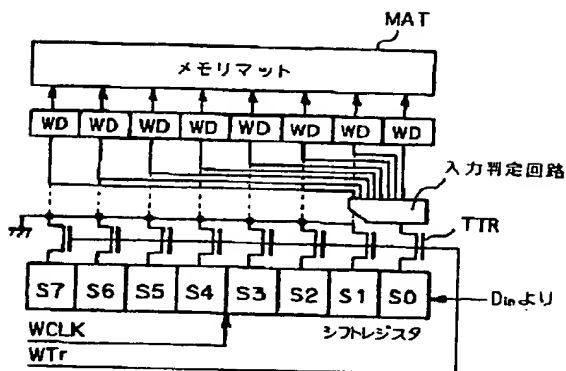


【図9】



【図10】

図 10



フロントページの続き

(72)発明者 片山 浩典  
東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内

(72)発明者 浅海 正和  
東京都小平市上水本町5丁目20番1号 日  
立超エル・エス・アイ・エンジニアリング  
株式会社内

(72)発明者 高橋 昌  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内